



Mailing Number: 9-5-2004-023571749

Mailed Date: June 14, 2004

Filing Due Date: August, 2004

NOTIFICATION FOR FILING OPINION

Applicant: Kabushiki Kaisha TOSHIBA

Application No.: 10-2002-0036909

Title of Invention: Semiconductor Apparatus

As the result of examination of the present application, the following reasons for rejection have been found and notified herein on the basis of the provision of Section 63 of the Patent Law. Any opinion about the rejection [Form 25-2 attached to the Regulations under the Patent Law], and/or any amendment [Form 5 attached to the Regulations under the Patent Law] must be filed by the above date. (The above date is extensible by one month for each request. No notification of allowance of extension of time will be issued.)

[Reason]

The inventions according to claims 1 to 6 set forth below, of the present application, are unpatentable under Section 29 (2) of the Patent Law, as being such that the inventions could easily have been made by a person with ordinary skill in the art to which the invention pertains prior to this application.

[Remarks]

Claims 1 to 6 of the present application are directed to a semiconductor apparatus. This semiconductor apparatus is characterized by comprising a drain layer, a drift layer, a base layer, and a source region. A gate insulation film and a gate electrode are formed in a trench reaching the drift layer through the base layer. The gate insulation film is formed to be thick at a portion adjacent to the drift layer more significantly than a portion adjacent to a base. The impurity concentration of the drift layer rises along a depth direction of the trench. However, cited invention 1 (US Patent No. 5,637,898) discloses a constitution of a vertical type electric field effect transistor comprising a T-

shaped trench gate such that the impurity concentration of the drift layer is decreased downwardly of a substrate. In addition, cited invention 2 (US Patent No. 6,191,447) discloses, in the Detailed Description of the invention section and FIG. 18, that there is a constitution of a high voltage semiconductor apparatus comprising an inclined trench type gate or a multi-stepped trench type gate electrode, wherein the impurity concentration of a drift layer is formed to be high at the substrate side. Further, cited invention 3 (US Patent No. 4,914,058) discloses a constitution of DMOS formed such that a trench gate electrode reaches a drain layer. Therefore, the above claimed inventions of the present application could have been readily achieved by one having ordinary knowledge by using a combination of these cited inventions 1 to 3.

[Attachments]

Attachment 1: US Patent No. 5,637,898 (June 10, 1997) One copy - filed

Attachment 2: US Patent No. 6,191,447 (February 20, 2001) One copy

Attachment 3: US Patent No. 4,914,058 (April 3, 1990) One copy - filed

출력 일자: 2004/6/15

발송번호 : 9-5-2004-023571749

수신 : 서울 종로구 관훈동 151-8 동덕빌딩 8층

발송일자 : 2004.06.14

김윤배 귀하

제출기일 : 2004.08.14

110-300

## 특허청 의견제출통지서

출원인 명칭 가부시끼가이샤 도시바 (출원인코드: 519980849672)

주소 일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고

대리인 성명 김윤배 외 1명

주소 서울 종로구 관훈동 151-8 동덕빌딩 8층

출원번호 10-2002-0036909

발명의 명칭 반도체장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출 기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

### [이유]

이 출원의 특허청구범위 제1-6항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

본원의 청구범위 제1-6항은 반도체 장치에 관한 것으로, 드레인층, 드리프트층, 베이스층, 소스영역을 구비하고, 베이스층을 관통하여 드리프트층에 도달하는 트렌치내에 게이트절연막과 게이트전극을 형성하고, 게이트절연막은 베이스층에 인접한 부분보다 드리프트층에 인접한 부분에서 두껍게 형성되고, 드리프트층의 불순물 농도는 트렌치의 깊이 방향에 따라 상승하는 것을 특징으로 하나, 이는 인용발명1(미국특허공보 5,637,898호)에 개시된, T자형 트렌치 게이트를 구비하고, 드리프트층의 불순물 농도가 기판 아래로 갈수록 커지는 수직형 전계효과트랜지스터의 구성과, 인용발명2(미국특허공보 6,191,447호)의 도면 제18도와 상세한 설명에 개시된, 경사진 트렌치형 게이트 또는 단단계 트렌치형 게이트전극을 구비하고 드리프트층의 불순물 농도를 기판 쪽에 높게 형성한 고전압 반도체 장치의 구성 및 인용발명3(미국특허공보 4,914,058호)에 개시된, 트렌치 게이트전극이 드레인층에 도달되도록 형성한 DMOS의 구성으로부터 통상의 지식을 가진 자가 용이하게 발명할 수 있습니다.

### [참 부]

참부 1 미국특허공보 05637898호(1997.06.10) 1부.

참부2 미국특허공보 06191447(2001.02.20) 1부.

참부3 미국특허공보 04914058호(1990.04.03) 1부. 끝.

2004.06.14

특허청

전기전자심사국

응용소자심사담당관실 심사관 임동우



출력 일자: 2004/6/15

<<안내>>

문의사항이 있으시면 ☎ 042-481-5750 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터